続 コンプライアンス・テストを見据えた PCI Express測定ノウハウ

――最新仕様Rev.1.1で大幅に変更されたジッタの評価方法

システムの記事　ボードの記事

畑山 仁

2004年6月からPCI Expressを採用したボード製品が出回り始めましたが，2005年4月には最新仕様のPCI Express Rev.1.1が発表されました．前のバージョンであるPCI Express Rev.1.0aをもとにした測定ノウハウについては，以前に本誌（2004年6月号，7月号，9月号）で解説しました．ここではRev.1.0aから大きく変わったジッタに関する仕様に焦点を当てて説明したいと思います．　（筆者）

PCI Express Rev.1.0aが登場してから約2年が経過しました．この間に，ジッタの評価方法に関する技術が著しく進歩しました．PCI ExpressのようなGHzを超える信号を伝送する高速シリアル・インターフェースでは，ジッタが重要なポイントになります．こうした背景から，PCI-SIG（Special Interest Group）ではワーキング・グループが結成され，ジッタ規格の見直しが行われました．その結果，おもに次の3点が見直されました．

1）参照クロックのジッタがシステムに与える影響を考慮

リファレンス・クロックのジッタが与える影響を避けるため，“PCI Express Base Specification”[注1]ではアイ・ダイヤグラム[注2]などを測定する際に，ジッタのないクロック（clean clock）を使用するようになりました（p.119のコラム「ジッタがアイ・ダイヤグラムに与える影響」を参照）．また，“Card Electromechanical（CEM）Specification”[注3]では，システム・ボード側からアドイン・カードに供給されるリファレンス・クロックのジッタを規定しました．

2）ランダム・ジッタ，デタミニスティック・ジッタを規定

今日のシリアル・インターフェースでは，ジッタを単にトータル・ジッタ（Tj）という総量でとらえるのではなく，ランダム・ジッタ（Rj）とデタミニスティック・ジッタ（Dj）をそれぞれ評価するように規格化される傾向にあります．そこで，PCI Expressにおいても，Tjだけでなく RjとDjを規定しました．

3）サンプル・サイズを明確化

2）に絡むことですが，Rjが測定時間によって変わるため，アイ・ダイヤグラムやジッタを規定しているサンプル・サイズ（UI[注4]）を明確にしました．

このほか，Rev.1.0aの規格制定以降，Errataという形で発行された訂正を反映しました．

以下に，Base SpecificationとCEM Specificationの変更点について説明します．

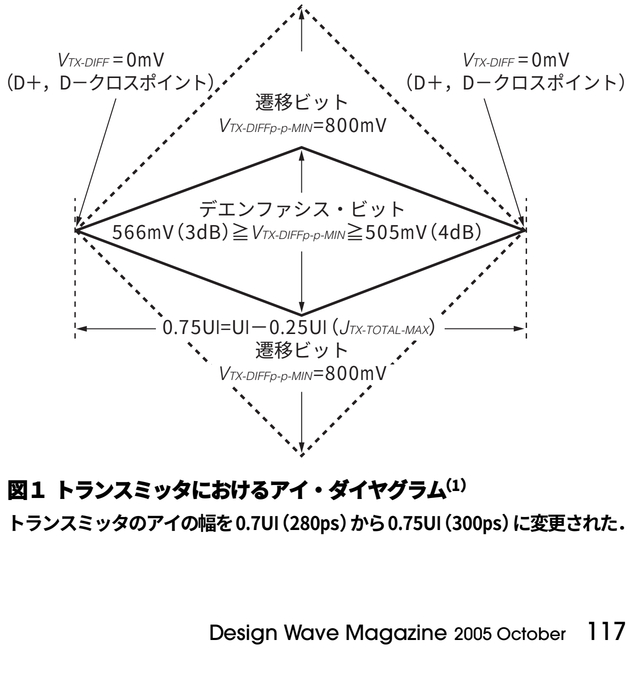


図1 トランスミッタにおけるアイ・ダイヤグラム[1]
トランスミッタのアイの幅を0.7UI（280ps）から0.75UI（300ps）に変更された．

注1：PCI Expressの基本仕様をまとめた規格書．
注2：一連のデータ波形の重なりを表示して，ノイズやジッタなど，信号の品質を総合的に評価するテスト項目．
注3：システム・ボードとアドイン・カードに関する規定．
注4：UI（unit interval）はビット同期を示す．PCI Express Rev1.xでは1UIは400ps．

● アイやジッタの仕様，評価方法が変更された

Base Specificationは，トランスミッタ(送信端)とレシーバ(受信端)についての規格です．PCI Express Rev.1.1では以下の三つの項目が変更されました．

1) トランスミッタのアイの幅，ジッタ量

まず，トランスミッタのアイの幅とジッタ量ですが，具体的には次のように変更されました．

- トランスミッタのアイの幅を0.7UI(280ps)から0.75UI(300ps)に変更(**図1**)
- ジッタ量($T_{TXEYE\text{-}to\text{-}MAXJITTER}$)を0.15UIから0.125UIに変更
- $T_{TXEYE\text{-}to\text{-}MAXJITTER}$の測定に必要なサンプル・サイズを，従来の250UIから1,000,000UIに変更

数字だけを見ると一見厳しくなったように思えますが，評価方法が変更されたため一概に比較はできません．ここで，評価方法の変更とは，次のアイ・ダイヤグラム/ジッタ測定のクロック・リカバリ方法の変更を指します．

2) アイ・ダイヤグラム/ジッタ測定のクロック・リカバリ

PCI Express Rev.1.0aでは，測定の際にオシロスコープで取り込んだ3,500UI分のシリアル・ビット・ストリームから最小2乗法や偏差最小化法を使ってクロック・リカバリ(受信データの変化に応じたクロック信号の再生)を行っていました．そして，再生されたクロック信号をもとにアイ・ダイヤグラム表示とジッタ測定の際のリファレンス・タイミングを決定していました(**図2**)[注5]．

一方，PCI Express Rev.1.1では，クロック・リカバリの方法は式(1)で表現される1.5MHz帯域の1次PLL(phase-locked loop)に変更されました(**図3**)．

$$H(s)=\frac{s}{s+2\pi\times1.5\times10^{6}} \quad \cdots\cdots(1)$$

同時に，ジッタのない“clean clock”を使用するようになりました．このclean clockを実現するため，EMI(electro-magnetic interference)を抑制するためのSSC(spread spectrum clocking)[注6]の使用をやめ，場合によっては低ジッタのクロック発振器を使用するように定められています．

SSCの変調周波数(30kHz～33kHz)の高調波成分や低周波のジッタ成分がリファレンス・クロックに重畳していると，システム全体のジッタが悪化します．そこで，リファレンス・クロックのジッタの影響を除去して，純粋にトランスミッタのジッタだけを評価するように変更しました．

3) トランスミッタPLLの帯域幅とピーキングを指定

トランスミッタ内でリファレンス・クロックをてい倍するPLLの特性は，次のように指定されています．

- 1.5MHz～22MHzの範囲にカットオフ周波数(減衰値が−3dBになる周波数)がある
- 3dB以下のピーキングがDC～22MHzの範囲にある

ピーキングを持つということは，逆にこの周波数のジッタ成分は増強されることを意味します(**図4**)．

● ジッタをより正確にとらえる

CEM Specificationは，トランスミッタとレシーバの間にコネクタを一つ以上設ける場合の規格です．システム・ボードとアドイン・カードのエッジ・コネクタ部分で規定されています．とくに，システム・ボードとアドイン・カードの相互接続性(interoperability)に関する重要な仕様

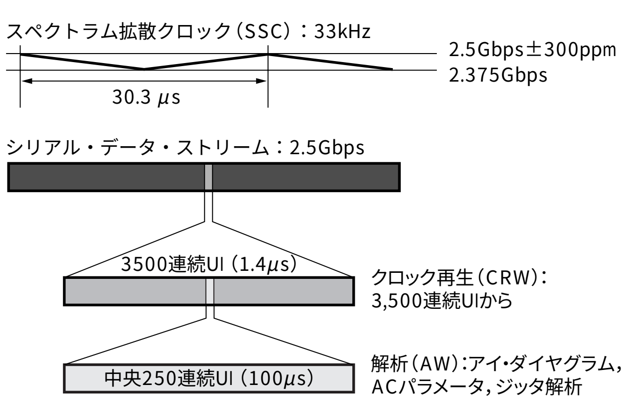


図2　Rev.1.0aで測定用に求められるクロック・リカバリ方法
取り出された3,500UIからクロックを再生している．

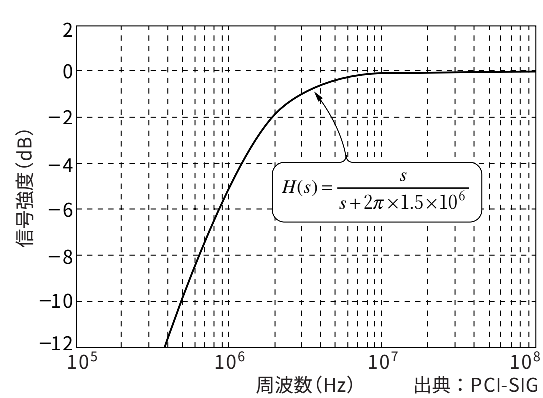


図3　Rev.1.1aで測定用に求められるクロック・リカバリ方法
1.5MHz帯域の1次PLLを採用している．

注5：リカバリされたクロックを基準にしてアイ・ダイヤグラムを表示したり，ジッタを測定するということは，クロック・リカバリのPLLが追従できないジッタを評価することになる．
注6：クロック信号をスペクトラム拡散することによって，電磁放射強度を低減したクロック．これにより，クロック信号のEMIを削減できる．

であり，コンプライアンス・ワークショップ(Compliance Workshop)注7における適合テスト(Compliance Test)や相互接続性テスト(Interoperability Test)もこの規格をもとに測定します．

CEM Specificatonでは次の3点が大きく変更されました．

1）リファレンス・クロックのジッタを規定

リファレンス・クロックについて，次のようなジッタを規定しました(下掲のコラム「ジッタがアイ・ダイヤグラムに与える影響」を参照)．

- リファレンス・クロックのサイクル・ツー・サイクル・ジッタと周期(平均値，最大値，最小値)を規定
- リファレンス・クロックの位相ジッタを規定（BER=10^{-6}，10^{-12}）

シリアル・インターフェースでは，通常，シリアル・ビット・ストリームから再生されたクロックを受信側で使用します．EMIを低減するためにSSCを採用したシステムでは，レシーバPLLに対してシステム・ボード側からリファレンス・クロック(100MHz差動)を供給する必要があります注8．測定用ボードとしてCLB(Compliance Load Board)注9を使用し，RefCLK測定端子に差動プローブを接続してリファレンス・クロックを測定します(**写真1**)．CLBそのものは，Rev.1.0aから変更ありません．

前述したように，リファレンス・クロックのジッタはシステム全体に大きく影響します．そこでRev.1.1では，シ

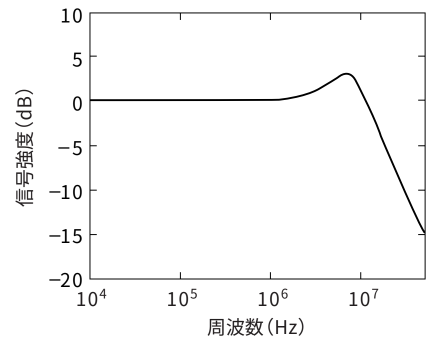


図4 トランスミッタPLL
図にカットオフ周波数＝15MHz，減衰比(ダンピング・ファクタ)＝0.54の2次PLLの例を示す．ピーキングが3dB以内に抑えられている必要がある．

注7：開発中の製品(デバイスや機器)を持ち込み，すでに認証済みの機器との相互接続性を確認する，標準規格団体が主催するイベントを一般的に“Plugfest”と呼ぶが，PCI-SIGではこれを“Compliance Workshop”と称している．

注8：この機能はオプションとなっているが，コンプライアンス・ワークショップでは，すべてのシステム・ボードに対してリファレンス・クロックを供給できるように求めている．

注9：CLBとCBB(Rev.1.1対応)は，PCI-SIGのWebサイト(http://www.pcisig.com/)から購入できる．

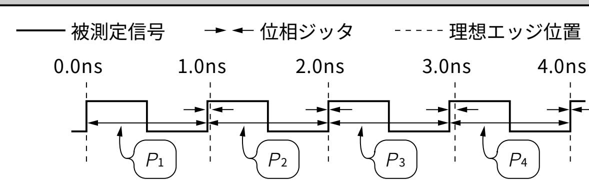
Column 1 ジッタがアイ・ダイヤグラムに与える影響

ジッタは，信号の時間軸方向のゆれ成分です．ジッタの発生については，回路内を信号が伝搬する際に生じる熱雑音によって引き起こされる時間軸方向のゆらぎ，スイッチング・レギュレータやクロック発振子からの信号の漏れ込みなど，さまざまな要因が挙げられます(pp.120-121のコラム「ランダム・ジッタとデタミニスティック・ジッタ」を参照)．

ジッタの表現方法にもいろいろあります．発振子がどれだけ安定した周期のクロックを供給できるかを見る場合，隣接周期の差分(変動量のサイクル・ツー・サイクル・ジッタ)で表現します．これに対して，シリアル・インタフェースの評価では，入力された受信データ列に対して追従するように受信側でPLLがクロックを生成するため，信号の本来あるべきエッジ位置からどの程度のずれがあるかを時間で表現する位相ジッタ(時間間隔エラー；time interval errorとも言う)を使用します注A(**図A-1**)．

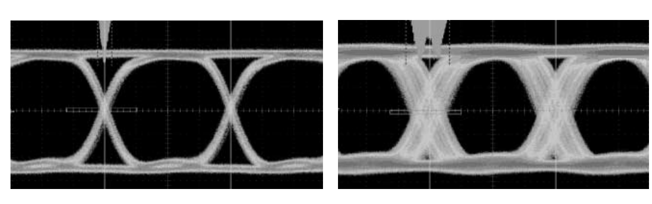
ジッタはアイ・ダイヤグラムのアイ幅の開きに影響を及ぼします．ジッタが大きくなればなるほど，アイ幅の開口率が小さくなります．その結果，受信側のクロックに対するセットアップ/ホールド時間に余裕がなくなり，エラーが起こる確率が高くなります(**図A-2**)．

注A：位相ジッタは1周期を360°(2πrad)とし，ずれをラジアンで表現．時間間隔エラーはずれを時間で表現．



周期ジッタ	0.990ns	1.010ns	0.980ns	1.020ns	
サイクル・ツー・サイクル・ジッタ		0.020ns	−0.030ns	0.040ns	
位相ジッタ		−0.010ns	0.000ns	−0.020ns	0.000ns

図A-1　解析する項目によって見るべきジッタは異なる
周期ジッタは1周期の変動(P_1，P_2など)を，サイクル・ツー・サイクル・ジッタはクロックの隣どうしの周期の差(P_2-P_1，P_3-P_2など)を，被測定信号と位相ジッタは理想エッジ位置とのずれを表す．



(**a**) ジッタが46ps(peak-to-peak)　(**b**) ジッタが140ps(peak-to-peak)

図A-2　ジッタとアイ・ダイヤグラムとの関係
2.5Gbpsで通信を行っている信号について，(a)はジッタが46ps(peak-to-peak)の場合の，(b)は140ps(peak-to-peak)の場合のアイ・ダイヤグラム．ジッタが大きければアイの開きが狭くなることがわかる．

ステム側から供給されるリファレンス・クロックのジッタを正しく評価して抑えるように仕様を変更しました．位相ジッタの測定は，単純にリファレンス・クロックのジッタを測定するのではなく，トランスミッタからレシーバまでを一つのシステムとしてそのジッタ伝達系をモデル化し，その結果としてとらえるようになりました（**図5**）．例えば，PLLがある周波数にピーキングを持つことが考えられます．先に述べたように，ピーキングを持つということは，その周波数のジッタが増強されることを意味します．そのため，単にジッタ量をとらえるということではなく，周波数的な要素を加味して評価します．

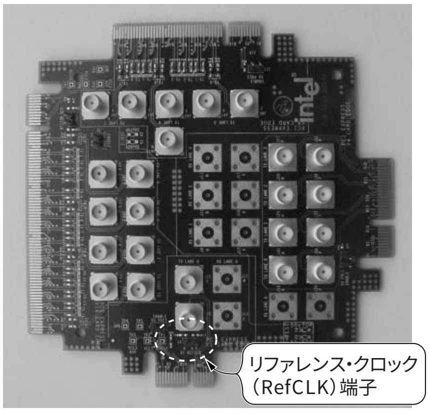


写真1　CLB

CLBは，角型ピンのリファレンス・クロック（RefCLK）端子を備えている．ここに，差動プローブを接続してリファレンス・クロックを測定する．負荷条件は2pF．なお，CLBはPCI Express Rev.1.0aから変更されていない．

なお，アドイン・カードのコンプライアンス・テストでは，測定用ボードとしてCBB（Compliance Base Board）を使用しますが，上記のジッタ仕様の変更に合わせて，リファレンス・クロック・ジッタを低減したRev.1.1対応のCBBが用意されました（**写真2**）．

2）ジッタ・バジェットとしてTjだけでなくRj，Djも規定

ジッタは，発生原因によってその現れかたが異なります．このため，今日，InfiniBandやFibre Channel，Serial ATAなどのシリアル・インターフェースでは，ジッタを単にトータル・ジッタ（Tj）という総量ではとらえず，ジッタの発生原因によってランダム・ジッタとデタミニスティック・ジッタを規定しています．PCI Express Rev.1.0aでは，Tjだけでジッタをとらえていましたが，Rev.1.1ではほかのインターフェースと同じように，ジッタ・バジェットとしてTjだけでなくRj，Djも規定しました（**表1**）．

Column 2　ランダム・ジッタとデタミニスティック・ジッタ

ランダム・ジッタ（Rj）はその名のとおりランダムなジッタ成分であり，その確率密度関数はガウス分布（正規分布）となるため，分布は無限の広がりを持ちます（**表B-1**）．ただし，中央（平均値）から遠く（すなわちジッタが大きく）なるほど，発生確率は低くなります．

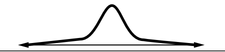
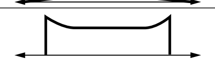
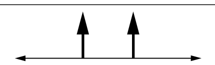
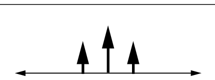
一方，デタミニスティック・ジッタ（Dj）は，発振器からの漏れ込みなどの周期ジッタや，デューティ・サイクルひずみに代表されるように，その分布は有限であり，ジッタ量はある範囲内にとどまります．

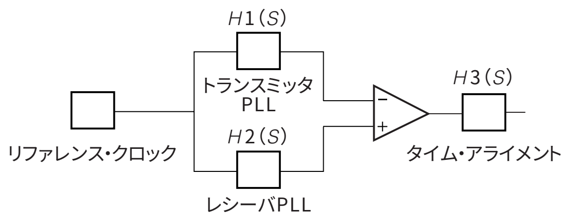
つまりRjの場合，測定時間，つまりUI数（母集団数）の増加に従って，より大きなジッタが出現する可能性が出てきます．これに対してDjの広がりは有限であり，測定時間に依存しません．

Rjの場合，測定時間に依存して大きなジッタが出現するということは，アイ・ダイヤグラムで考えると測定時間に依存して信号波形のつぶれぐあい（アイの開口率）が変わることを意味します（**図B-1**）．測定時間が短いと大きなジッタの発生確率が低いためアイの幅は広くなりますが，測定時間が長くなると大きなジッタが出現することとなってアイの幅は狭まります．そのため，アイ・ダイヤグラムやジッタの測定では測定時間を規定しておく必要があります．ただし，正規分布の広がりが無限であるため，最大値を決めることはできません．

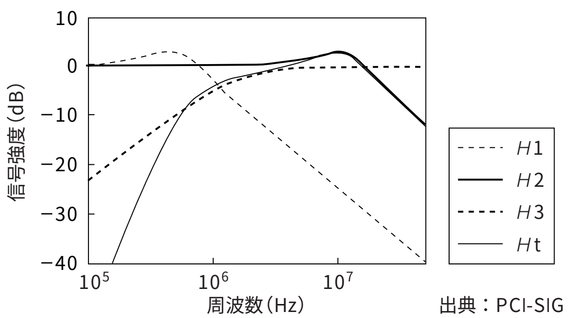
そこで，統計的にビット・エラーの発生確率としてBERを規定して最大値を決めます．例えば，母集団数が99.999％になる範囲を最大値（正規分布は左右対称なのでpeak-to-peak値）として規定し，それより外側のサンプルはエラーと仮定すると，エラーの発生確率は0.001％になります．この場合，1回のエラーに対して必要な母集団数は10^6となり，BER＝10^{-6}となります．この範囲は，次式のように

表B-1　ジッタの種類

名　称		要　因	代表的な確率密度関数（PDF）
ランダム・ジッタ：Rj（random jitter）		熱雑音など	
デタミニスティック・ジッタ Dj（deterministic jitter）	● ピリオディック・ジッタ：Pj（periodic jitter）	電源，CPUクロック，オシレータなどが原因	
	● デューティ・サイクルひずみ：DCDj（duty cycle distortion） ● パルス幅ひずみ：PWDj（pulse width distortion）	オフセット・エラー，ターンON時間のひずみが原因	
	● パターン依存ジッタ：PDj（pattern dependent） ● データ依存ジッタ：DDj（data dependent） ● シンボル間干渉：ISI（inter symbol interference）	隣接するデータ・ビットの変化が原因で発生，帯域特性など伝送ラインの影響	



(a) 伝達モデル



(b) 伝達関数

図5　リファレンス・クロックのジッタ伝達モデルと伝達関数

トランスミッタPLL(*H1*)は1MHz帯域の2次PLL，レシーバPLL(*H2*)は22MHz帯域の2次PLLで，ピーキングは3dB．タイム・アライメント(*H3*)は1.5MHz帯域の1次PLLで，*H1*に対して10nsの遅延を加味．*H*tは(a)の伝達モデル全体の伝達関数．

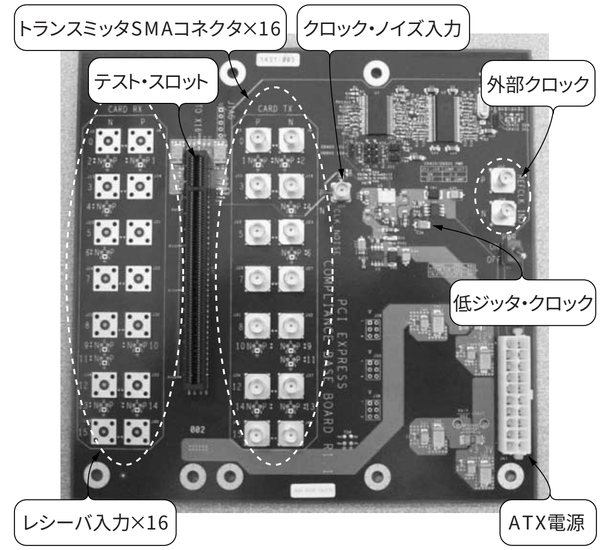


写真2　Rev.1.1に対応したCBB

リファレンス・クロック用の低ジッタのクロック発振子が組み込まれた点がRev.1.0a用と大きく異なる．

標準偏差(σ)に対する係数で決まります．

Rjの最大値(peak-topeak) =2α × σ・・・・・・・・・・・・・・・・・・・・・(b-1)

ここで，αはRjの最大値への変換係数であり，BER＝10^{-6}であれば99.999％が含まれる範囲で4.75，BER＝10^{-12}ならば99.9999999％で7.039となります．

ただし，実際にその母集団数で測定すると，あまりにも時間がかかり過ぎます．そこで，確率密度関数を積分した累積分布関数(CDF：cumulative distribution function)から生成されるバスタブ曲線を使って，現在のジッタ量から特定のBERにおけるジッタ量を推測する方法が用いられます．

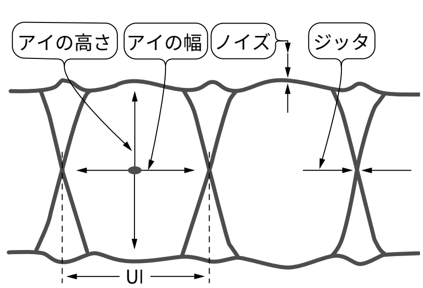
実際のジッタ・モデルは複雑ですが，DjとRjを考慮するシリアル・インターフェースでは，一例として**図B-2**のように単純にRjとDjをモデル化してとらえます．この単純化されたモデルはDual-Dirac(Dirac；ディラックのデルタ関数)モデルと呼ばれており，バスタブ曲線からDjとRjを分離する場合やトータル・ジッタを予測する場合にも利用され始めています．PCI ExpressのDjとRjも，Dual-Diracモデルで規定しています．

このモデルでは，トータル・ジッタへの変換は，次式となります．

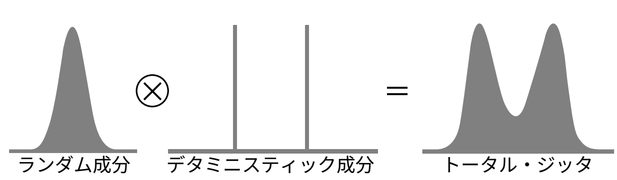
$$T_j = Dj_n + 2\alpha \times \sigma \times Rj_n \quad \cdots\cdots (b\text{-}2)$$

また，複数のジッタが加算されるシステム・ジッタを求める場合には，式(b-3)のようになります．

$$\text{システム}T_j = \sum Dj_n + 2\alpha \times \sigma \times \sum \sqrt{Rj_n^{\,2}} \quad \cdots\cdots (b\text{-}3)$$



図B-1 アイ・ダイヤグラム



図B-2　Tj，Rj，Djの関係

表1　ジッタ・バジェット[2]

ジッタ配分	Rj(実効値)(ps)	Dj(peak-to-peak)(ps)	BER＝10^{-12}におけるTj(ps)	BER＝10^{-16}におけるTj(ps)
トランスミッタ	2.8	60.6	100	87
リファレンス・クロック	4.7	41.9	108	86
インターコネクト	0	90	90	90

(**a**) システム・ジッタ・バジェット

ジッタ配分		ジッタ(UI)	
		Rev.1.0a	Rev.1.1
ダウン・ストリーム	システム・ボード，コネクタ	0.2425	0.1675
	アドイン・カード	0.0575	0.0575
	トータル・ジッタ	0.3(120ps)	0.225(90ps)
アップ・ストリーム	アドイン・カード	0.1075	0.0650
	システム・ボード，コネクタ	0.1925	0.1600
	トータル・ジッタ	0.3(120ps)	0.225(90ps)

(**b**) インターコネクト・ジッタ・バジェット

RjとDjをそれぞれ規定するということは，ジッタの性質をきちんととらえることを意味します．従来は単純にジッタ・バジェットとしてTjの積み上げとしていました．しかし，TjはDjとRjで構成されているため，単純な積み上げとはなりません．例えば，Rjの確率密度関数(PDF：probability density function)はガウス分布を持つため，RMS(実効値)で表現されます．その結果，複数のRjの合計は単なる足し算ではなく，各Rjを2乗したものの総和に対する平方根となります．一方，Djはpeak-to-peak値のため，複数のジッタのDjの合計は単純な足し算となります．また，Rjはガウス分布であるため，時間の経過，すなわち評価するUI数(母集団数)の増加に応じて，ジッタが広がる可能性があります(pp.120-121のコラム「ランダム・ジッタとデタミニスティック・ジッタ」を参照)．

3）ジッタとアイの幅を1,000,000UIで規定

一般にシリアル・インターフェースでは，BER(bit error rate)＝10^{-12}(10^{12}回に1回までのエラー発生を許容)で規定されます．PCI Express Rev.1.1ではサンプル・サイズを1,000,000UIとして，システム・コネクタ，アドイン・カード・エッジにおけるジッタ量やアイの幅を規定しました(**表2**)．また，シミュレーションによるBER＝10^{-12}の参考値も記載されています．

実際に測定するとき，BER＝10^{-12}の場合は10^{12}サイクル以上のデータを要します．測定にかかる時間は，例えばデータ伝送速度が2.5Gbpsの場合，400秒(＝10^{12}÷2.5 Gbps)となります．400秒という時間は短く感じられますが，実際にオシロスコープを使って400秒の取り込み処理を行うには膨大なメモリ容量と測定時間が必要になります．例えば，1回のサンプリングで64Mポイント取り込めるオシロスコープを使った場合，40Gサンプル/sのサンプリング速度で1回に取り込める時間長は25ps×64M＝160μsとなります．つまり，400秒取り込むためには250万回(400÷160×10^{-6})測定を繰り返す必要があります．かりに1回の測定のデータ処理に1分必要とすると250万分にもなり，測定に約1ヵ月近くかかる計算になります．その点，ジッタを的確にとらえることで，バスタブ曲線から任意のBERにおけるトータル・ジッタとアイの幅を推定できます(**図6**)．

表2　システム・コネクタ，アドイン・カード・エッジにおけるアイの幅とジッタ許容値(単位はps)

PCI Express仕様		システム・コネクタ		アドイン・カード・エッジ	
		アイの幅(TtxS)	ジッタ許容値(1UI−TtxS)	アイの幅(TtxA)	ジッタ許容値(1UI−TtxA)
Rev.1.0a		183	217	237	163
Rev.1.1	1,000,000UI	246	154	287	113
	BER=10^{-12}	233	167	274	126

● ワークショップの評価は2006年にはRev.1.1に完全移行

PCI Expressでコンプライアンス・ワークショップに持ち込めるのは，システム・ボードあるいはアドイン・カードです．このワークショップに参加して，仕様への適合性と相互接続性が確認された機器はIntegrators Listに掲載されます．

PCI Express対応機器の評価には，高速のディジタル・オシロスコープとコンプライアンス・テスト用のソフトウェアを併用します．コンプライアンス・ワークショップで

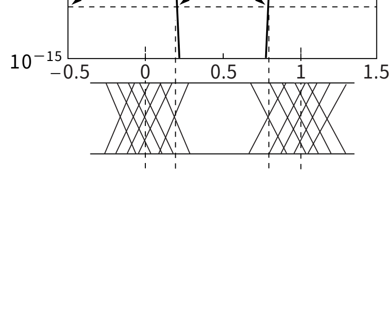


図6
バスタブ曲線
縦軸はBER(対数)，横軸は0.5UIを中央としたUIで，特定のBERにおけるアイ幅およびトータル・ジッタ(1UI－アイ幅)を示す．

Column 3

次世代のPCI Expressは？

現在，次世代のPCI Express規格策定作業が行われています．現行のPCI Express Rev. 1.0a/1.1で定められた「FR-4（ガラス・エポキシ基板）で約50cm（20インチ）の伝送」という設計目標はそのままに，さらなる高速化を図ろうというものです．データ伝送速度として6.25Gbpsと5Gbpsが検討されていましたが，現行の2倍である5Gbpsになることが2004年12月に決定されました（詳細はPCI-SIGのホームページ「http://www.pcisig.com/news_room/news/press_releases/2004_12_15/」を参照のこと）．

現状の伝送路では，1.25GHz（2.5Gbps）におけるレシーバの信号振幅は175mVですが，2.5GHz（5Gbps）では120mVまで減少すると予想されています．これは，感度を上げることによって対応できますが，UIは400psから200psへと半減するため，半導体メーカはジッタ・マージンのさらなる低下に対応しなくてはなりません．

PCI-SIGは，この次世代のPCI Expressについて，2005年に規格化やデバイスの試作を進め，2006年から普及させていく方針です．

は，PCI-SIGが用意している評価用ソフトウェア「SIGTEST Post Capture Analysis Software（以下，SIGTEST）」を使用します．PCI-SIGでは，現在，Rev.1.1に対応したSIGTESTを準備中です．また，各計測器メーカもRev.1.1に対応した評価用ソフトウェアを発売，あるいは準備しています．

例えば，筆者ら（日本テクトロニクス）の高速シリアル・インターフェース向けのコンプライアンス・テスト/解析ソフトウェア「TDSRT-Eye Version 2.0」は，Rev.1.1に対応しています（**図7**）．本ソフトウェアは，DjとRjの分離測定機能やバスタブ曲線を使ったトータル・ジッタ/アイ開口予測機能を備えています．また，従来は物理層の信号のみが測定対象でしたが，CEM Specificationの変更に合わせて，リファレンス・クロックの測定項目を本ソフトウェアに付加しました（**図8**）．

コンプライアンス・ワークショップでは，2005年中はRev.1.0とRev.1.1の双方で測定しますが，2006年にはRev.1.1へ完全移行します．また，関連ドキュメントは2005年内に整備される予定です．

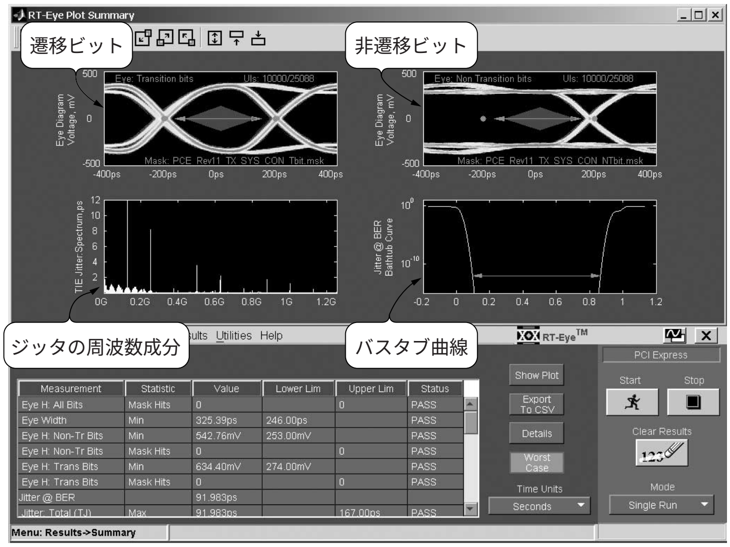


図7　PCI Express Rev.1.1に対する測定結果の表示

TDSRT-Eyeを用いたPCI Express Rev.1.1に対する測定結果の表示．遷移ビットと非遷移ビット，ジッタの周波数成分，バスタブ曲線を表示している．オプションのPCI Expressコンプライアンス・モジュールにも同機能を組み込んでいる．

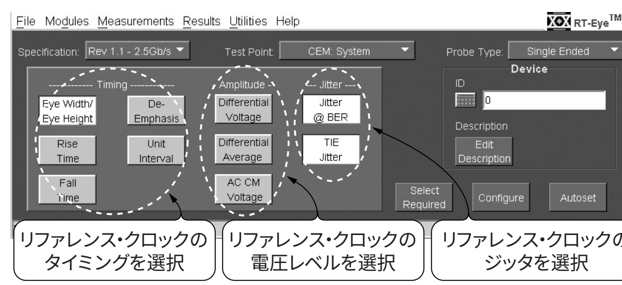


図8　リファレンス・クロックに対する測定画面

TDSRT-Eyeでは，リファレンス・クロックの電圧レベルやタイミング，ジッタを選択して測定できる．本ソフトウェアは，Base SpecificationやCEM Specificationだけでなく，Cable Specification，ExpressModule，GEN2などの機能も備えている．

参考・引用*文献

(1) *PCI-SIG；PCI Express Base Specification Revision 1.1, Mar. 28, 2005.
(2) *PCI-SIG； PCI Express Card Electromechanical Specification Revision 1.1, Mar. 28, 2005.
(3) PCI Express 1.1 Electrical & Jitter Considerations, PCI-SIG Developers Conference APAC Tour 2005.
(4) PCI-SIG Compliance Program, PCI-SIG Developers Conference APAC Tour 2005.
(5) PCI Express Jitter Modeling Revision 1.0RD, July 14, 2004.

はたけやま・ひとし　日本テクトロニクス（株）

<筆者プロフィール>
畑山 仁．日本テクトロニクス シニア・アプリケーション・エンジニア．高速ディジタル，高速シリアル・インターフェース分野を担当．